

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 6月10日

出 願 番 号
Application Number:

特願2003-165147

[ST.10/C]:

[JP2003-165147]

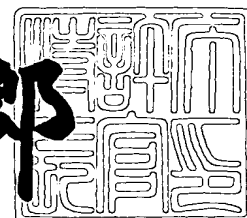
出 願 人
Applicant(s):

株式会社東芝

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051868

【書類名】 特許願

【整理番号】 A000300472

【提出日】 平成15年 6月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置および半導体装置の製造方法

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 依田 孝

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 尾本 誠一

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 金子 尚史

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 江澤 弘和

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成されたポーラス膜における溝および孔から選ばれる少なくとも 1 つの埋め込み用凹部の内面に導電性バリア層を形成し、かつこの導電性バリア層を介して前記埋め込み用凹部に導電部材を埋め込んだ構造を有する半導体装置であって、

前記ポーラス膜の成分と前記導電性バリア層の成分とが混在する混在層が、前記ポーラス膜と前記導電性バリア層の界面に形成されたことを特徴とする半導体装置。

【請求項 2】 前記混在層は、前記導電性バリア層側でそのバリア層の成分の濃度が高く、前記導電性バリア層から離れる程、前記成分の濃度が低く、かつ前記ポーラス膜の連続気孔を実質的に前記成分で塞いだ形態を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記混在層は、厚さが 3 0 n m 以下であることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 半導体基板上に形成されたポーラス膜の溝および孔から選ばれる少なくとも 1 つの埋め込み用凹部の少なくとも内面に熱 C V D により略同一組成の 2 層以上の導電性バリア層を形成する工程と、

前記導電性バリア層が形成された前記埋め込み用凹部に導電部材を埋め込む工程とを含み、

第 1 層目の導電性バリア層を形成する熱 C V D は、第 2 層目以上の導電性バリア層を形成する熱 C V D より低い圧力の条件に設定されることを特徴とする半導体装置の製造方法。

【請求項 5】 前記第 1 層目の導電性バリア層を形成する熱 C V D は、3 0 0 ～ 3 7 0 ℃ の温度、0 . 4 ～ 0 . 8 T o r r の圧力の条件に設定され、第 2 層目以上の導電性バリア層を形成する熱 C V D は 3 0 0 ～ 3 7 0 ℃ の温度、1 . 0 T o r r 以上の圧力の条件に設定されることを特徴とする請求項 4 記載の半導体

装置の製造方法。

【請求項 6】 半導体基板上に形成されたポーラス膜の溝および孔から選ばれる少なくとも 1 つの埋め込み用凹部の少なくとも内面にプラズマ C V D 法により第 1 導電性バリア層を形成する工程と、

前記第 1 導電性バリア層が形成された前記埋め込み用凹部の少なくとも内面に熱 C V D または原子層堆積により 1 層以上の第 2 導電性バリア層を形成する工程と、

前記第 2 導電性バリア層が形成された前記埋め込み用凹部に導電部材を埋め込む工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 前記第 2 導電性バリア層を形成する熱 C V D は、3 0 0 ～ 3 7 0 ℃ の温度、1 . 0 T o r r 以上の圧力の条件に設定されることを特徴とする請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置および半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、半導体装置は、その微細化、高速化に伴って単層の配線構造から多層の配線構造が採用されている。このような微細化、高速化、多層配線化は、配線間容量および配線抵抗の増大による信号伝達遅延の問題を生じる。信号伝達遅延は、配線間容量および配線抵抗の積（C R 時定数）で示される。

【 0 0 0 3 】

信号伝達遅延は、従来、種々の方法により回避することが行なわれている。例えば、配線抵抗の低減はアルミニウム配線に代わって抵抗の低い銅配線を用いることが検討されている。しかし、銅膜は従来のドライエッチングプロセスで微細加工することが非常に困難である。このため、銅配線を形成する場合には一般に次に説明するダマシン法が採用されている。すなわち、半導体基板上の層間絶縁

膜に配線と同一の幅の溝を形成した後、その溝を含む層間絶縁膜上に銅膜を形成する。つづいて、化学機械研磨（CMP ; Chemical Mechanical Polishing）により余剰の銅膜を層間絶縁膜表面から除去することによって、銅の埋め込み配線を形成する。

【 0 0 0 4 】

一方、配線間容量を低減するには層間絶縁膜としてCVD法によるシリコン酸化膜の代わりに低誘電率（例えば比誘電率が2.5以下）のポーラス膜を用いることが検討されている。

【 0 0 0 5 】

このようなポーラス膜に銅の埋め込み配線を形成する場合、配線材料である銅が拡散するのを防止するためにポーラス膜の溝内面に予め薄い導電性バリア層を形成し、このバリア層を有する溝内に銅配線を埋め込むことが行われている。例えば、特許文献1にはハイドロゲンシルセスキオキサンのようなポーラス膜（低誘電率絶縁膜）に配線溝を形成し、この配線溝内面にTa層、Ta₂N層のような導電性バリア層を公知の方法（例えばスパッタ法）により形成し、このバリア層が形成された配線溝を含むポーラス膜上にCu膜を形成した後、配線溝以外の不要なCu膜およびバリア層をCMPにより除去して前記バリア層で包み込まれた銅の埋め込み配線を形成することが記載されている。

【 0 0 0 6 】

【特許文献1】

特開2002-110789

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、導電性バリア層をスパッタ法で形成する場合には、例えばその配線溝のアスペクト比（配線溝の開口幅に対する深さの比）が大きくなると、配線溝の開口がバリア材で塞がれて配線溝内面に目的とする厚さの導電性バリア層を形成することが困難になる。また、導電性バリア層を配線溝内面に必ずしも十分に高い密着力で形成することが困難である。

【 0 0 0 8 】

本発明は、ポーラス膜における溝および孔から選ばれる少なくとも1つの埋め込み用凹部に導電性バリア層を介して埋め込み配線を形成した構造を有し、前記導電性バリア層が前記埋め込み用凹部内面に前記ポーラス膜の物性変化を抑制しつつ、目的とする厚さで良好に密着して形成された半導体装置およびその製造方法を提供しようとするものである。

【 0 0 0 9 】

【課題を解決するための手段】

本発明の一態様は、半導体基板上に形成されたポーラス膜における溝および孔から選ばれる少なくとも1つの埋め込み用凹部の内面に導電性バリア層を形成し、かつこの導電性バリア層を介して前記埋め込み用凹部に導電部材を埋め込んだ構造を有する半導体装置であって、

前記ポーラス膜の成分と前記導電性バリア層の成分とが混在する混在層が、前記ポーラス膜と前記導電性バリア層の界面に形成されたことを特徴とする半導体装置が提供される。

【 0 0 1 0 】

本発明の別の態様は、半導体基板上に形成されたポーラス膜の溝および孔から選ばれる少なくとも1つの埋め込み用凹部の少なくとも内面に熱CVDにより略同一組成の2層以上の導電性バリア層を形成する工程と、

前記導電性バリア層が形成された前記埋め込み用凹部に導電部材を埋め込む工程と
を含み、

第1層目の導電性バリア層を形成する熱CVDは、第2層目以上の導電性バリア層を形成する熱CVDより低い圧力の条件に設定されることを特徴とする半導体装置の製造方法が提供される。

【 0 0 1 1 】

本発明のさらに別の態様は、半導体基板上に形成されたポーラス膜の溝および孔から選ばれる少なくとも1つの埋め込み用凹部の少なくとも内面にプラズマCVD法により第1導電性バリア層を形成する工程と、

前記第1導電性バリア層が形成された前記埋め込み用凹部の少なくとも内面に

熱CVDまたは原子層堆積により1層以上の第2導電性バリア層を形成する工程と、

前記第2導電性バリア層が形成された前記埋め込み用凹部に導電部材を埋め込む工程と

を含むことを特徴とする半導体装置の製造方法が提供される。

【0012】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して詳細に説明する。

【0013】

(第1実施形態)

図1は、本発明の第1実施形態における多層配線構造を有する半導体装置を示す断面図である。

【0014】

図示しない素子などが形成された半導体基板(半導体ウェハ)1上には、複数の埋め込み用凹部である配線溝2を有する第1層の層間絶縁膜3が形成されている。第1層配線4は、前記第1層の層間絶縁膜3の配線溝2内に導電性バリア層5を介して埋め込まれている。なお、前記配線4のうち、いくつかの配線は図示しないビアフィルを通して前記半導体基板1の素子などと電氣的に接続されてもよい。

【0015】

前記第1層の層間絶縁膜3としては、例えばシリコン酸化膜、ボロンリン添加ガラス膜(BPSG膜)、リン添加ガラス膜(PSG膜)、SiOF、有機スピノングラス、ポリイミドなどの非ポーラス膜等を用いることができる。

【0016】

前記第1層配線4およびビアフィルは、例えば銅、アルミニウム、タングステン、またはこれら金属を含む合金から作られる。

【0017】

前記導電性バリア層5は、例えばTiSiN, TaN, WN, WSiN, TaAlN等から作られる。この導電性バリア層5は、単層膜または積層膜で形成す

ることを許容する。

【0018】

また、拡散防止膜6は前記第1層配線4が埋め込まれた前記第1層の層間絶縁膜3の上に形成され、前記第1層配線4を構成する金属の拡散を防止する。ポーラス膜7および絶縁性保護膜8は、前記拡散防止膜6上にこの順序で積層されている。これらポーラス膜7および絶縁性保護膜8により第2層の層間絶縁膜9を構成している。前記拡散防止膜6を貫通して前記第1層配線4に達する埋め込み用凹部であるビアホール10は、前記第2層の層間絶縁膜9に開口されている。埋め込み用凹部である配線溝11は、前記ビアホール10が位置する前記第2層の層間絶縁膜9部分および前記ビアホール10以外の前記第2層の層間絶縁膜9部分に形成されている。第2層配線12は、前記配線溝11内に導電性バリア層13を介して埋め込まれている。なお、前記第2層配線12のうち、いくつかの配線12（例えば図中の左側の配線12）は底部が前記ビアホール10に配線材料を埋め込んで形成されたビアフィル14を通して前記第1層配線4と電氣的に接続されている。前記ポーラス膜7の成分と前記導電性バリア層13の成分とが混在した混在層15は、前記ポーラス膜7と前記導電性バリア層13の界面に形成されている。

【0019】

前記拡散防止膜6は、例えばSiN、SiC、SiCN等により作られる。

【0020】

前記ポーラス膜7は、連続気泡を有し、低誘電率性、例えば比誘電率が2.5以下の値を有する。このようなポーラス膜7としては、例えばポーラスメチルシロセスキオキサン膜（ポーラスMSQ膜）、ポーラスポリアリーレンエーテル膜（ポーラスPAE膜）、ポーラスハイドロゲンシロセスキオキサン膜（ポーラスHSQ膜）等を用いることができる。これらのポーラス膜7は、例えば塗布法により形成される。

【0021】

前記絶縁性保護膜8は、例えば有機シロキサン膜、または無機シロキサン膜が用いられる。

【0022】

前記配線溝11は、例えばその幅(W)に対する深さ(D)のアスペクト比(D/W)が1.5~2である。

【0023】

前記第2層配線12およびビアフィル14は、例えば銅、アルミニウム、タングステン、またはこれら金属を含む合金から作られる。

【0024】

前記導電性バリア層13は、例えばTiSiN, TaN, WN, WSiN, TaAlN等から作られる。この導電性バリア層13は、単層膜または積層膜で形成することを許容する。

【0025】

前記混在層15は、前記導電性バリア層13側でそのバリア層13の成分の濃度が高く、前記導電性バリア層13から離れる程、前記成分の濃度が低く、かつ少なくとも前記導電性バリア層13側でポーラス膜7の連続気孔を実質的に前記成分で塞いだ形態を有することが好ましい。

【0026】

前記混在層15は、厚さが30nm以下、さらに2nm以上、20nm以下であることが望ましい。この混在層15の厚さが30nmを超えると、前記ポーラス膜7を有する第2層の層間絶縁膜9に形成された第2層配線12間のリークを生じる虞がある。

【0027】

以上、本発明の第1実施形態によれば第2層の層間絶縁膜9の配線溝11およびビアホール10の内面に導電性バリア層13を形成し、かつこの導電性バリア層13を介して配線溝11およびビアホール10に第2層配線12およびビアフィル14を形成した構造を有し、第2層の層間絶縁膜9のポーラス膜7と前記導電性バリア層13の界面にそのポーラス膜7の成分と前記導電性バリア層13の成分とが混在した混在層15に形成することによって、前記配線溝11およびビアホール10の内面に対する前記導電性バリア層13の密着性を向上できる。

【0028】

特に、前記混在層 15 を前記導電性バリア層 13 の側でそのバリア層 13 の成分の濃度が高く、前記導電性バリア層 13 から離れる程、前記成分の濃度が低く、かつ少なくとも前記導電性バリア層 13 の側でポーラス膜 7 の連続気孔を実質的に前記成分で塞いだ形態にすることによって、前記配線溝 11 およびビアホール 10 の内面に対する前記導電性バリア層 13 の密着性をより一層向上することができる。

【0029】

その結果、高信頼性の埋め込み配線構造を有する半導体装置を提供できる。

【0030】

また、前記混在層 15 の厚さを 30 nm 以下にすることによって、前記ポーラス膜 7 を有する第 2 層の層間絶縁膜 9 に形成された第 2 層配線 12 間の電流リークを防止できる。

【0031】

すなわち、前記混在層 15 は前述したように配線溝 11 およびビアホール 10 の内面に対する導電性バリア層 13 の密着性を高める上で有効に働く。反面、前記混在層 15 は導電性バリア層 13 の成分が混在するために、その混在層 15 の厚さ、特にポーラス膜 7 の面方向の厚さが厚くなると、前記ポーラス膜 7 を有する第 2 層の層間絶縁膜 9 に形成された第 2 層配線 12 から前記混在層 15 を通してこれに隣接する第 2 層配線 12 に電流がリークする虞が生じる。

【0032】

このようなことから、前記混在層 15 の厚さを 30 nm 以下にする、つまり前記混在層 15 を前記ポーラス膜 7 を有する第 2 層の層間絶縁膜 9 に形成された第 2 層配線 12 間でのリーク電流経路として作用しない程の厚さに制限することによって、前記第 2 層の層間絶縁膜 9 に形成された前記第 2 層配線 12 間での電流リークの発生を抑制ないし防止することができる。

【0033】

特に、前記混在層 15 の厚さを 30 nm 以下にし、かつ前記導電性バリア層 13 の側でそのバリア層 13 の成分の濃度が高く、前記導電性バリア層 13 から離れる程、前記成分の濃度が低くなる濃度分布を持つ形態にすることによって、前

記第 2 層配線 1 2 間での電流リークの発生をより効果的に防止することができる

【 0 0 3 4 】

したがって、低誘電率のポーラス膜 7 を有する第 2 層の層間絶縁膜 9 に第 2 層配線 1 2 を高い密着力で形成でき、かつ第 2 層配線 1 2 間での電流リークを防止できるため、高信頼性で安定した性能を有する半導体装置を提供できる。

【 0 0 3 5 】

(第 2 実施形態)

この第 2 実施形態では、前述した第 1 実施形態の半導体装置の製造方法を図 2 ～図 7 を参照して説明する。

【 0 0 3 6 】

(第 1 工程)

まず、図 2 に示すように図示しない素子などが形成された半導体基板（半導体ウェハ）1 上に第 1 層の層間絶縁膜 3 を成膜する。この第 1 層の層間絶縁膜 3 に例えばレジストパターンを形成し、レジストパターンをマスクとして第 1 層の層間絶縁膜 3 をリアクティブイオンエッチング（R I E）により選択的に除去することによって、前記半導体基板 1 表面に達するビアホール（図示せず）を形成する。つづいて、別のマスクパターンおよび R I E により所定のビアホールが位置する第 1 層の層間絶縁膜 3 部分およびこれ以外の第 1 層の層間絶縁膜 3 に配線溝 2 を形成する。ひきつづき、前記ビアホールおよび配線溝 2 を含む第 1 層の層間絶縁膜 3 上に例えばスパッタリング法により導電性バリア層 5 を形成し、さらに配線材料膜を形成する。

【 0 0 3 7 】

次いで、前記ビアホールおよび配線溝 2 を除く前記第 1 層の層間絶縁膜 3 上に位置する余剰の配線材料膜および導電性バリア層 5 を化学機械研磨（CMP）により除去し、前記第 1 層の層間絶縁膜 3 に導電性バリア層 5 で包まれた第 1 層配線 4 と導電性バリア層 5 で包まれ、ビアフィル（図示せず）を通して前記半導体基板 1 の素子などと電気的に接続される第 1 層配線（図示せず）を形成する。この CMP において、例えば第 1 層の層間絶縁膜 3 上に位置する余剰の配線材料膜

を第 1 CMP で除去した後、前記第 1 層の層間絶縁膜 3 上に位置する余剰の導電性バリア層 5 を第 2 CMP で除去する。

【 0 0 3 8 】

前記第 1 層の層間絶縁膜 3 および導電性バリア層 5 は、前記第 1 実施形態で説明したのと同様な材料および形態で形成することができる。

【 0 0 3 9 】

前記配線材料としては、例えば銅、アルミニウム、タングステン、またはこれら金属を含む合金を用いることができる。

【 0 0 4 0 】

前記配線材料膜の形成は、例えばスパッタリング法によりシード層を全面に形成し、このシード層を共通電極としてめっきする方法が採用される。

【 0 0 4 1 】

(第 2 工程)

図 3 に示すように前記第 1 層配線 4 が埋め込まれた第 1 層の層間絶縁膜 3 上に拡散防止膜 6 を形成する。つづいて、この拡散防止膜 6 上に例えば塗布法によりポーラス膜 7 を成膜した後、絶縁性保護膜 8 を成膜して第 2 層の層間絶縁膜 9 を形成する。

【 0 0 4 2 】

前記拡散防止膜 6、ポーラス膜 7 および絶縁性保護膜 8 は、前記第 1 実施形態で説明したのと同様な材料を用いることができる。

【 0 0 4 3 】

前記拡散防止膜 6 および絶縁性保護膜 8 は、例えば CVD 法により成膜することができる。

【 0 0 4 4 】

前記絶縁性保護膜 8 は、後述するレジストパターンのマスクを除去するためのドライエッチング工程および後述する余剰の配線材料を除去するための化学機械研磨 (CMP) 工程においてその下のポーラス膜 7 を保護する役目をなす。

【 0 0 4 5 】

(第 3 工程)

図4に示すように前記ポーラス膜7と絶縁性保護膜8の積層構造を有する第2層の層間絶縁膜9に例えばレジストパターンを形成し、このレジストパターンをマスクとして前記第2層の層間絶縁膜9をR I Eにより選択的に除去することによって、前記拡散防止膜6に達する埋め込み用凹部であるビアホール10を形成する。つづいて、別のマスクパターンおよびR I Eにより所定のビアホール10が位置する第2層の層間絶縁膜9部分およびこれ以外の第2層の層間絶縁膜9に埋め込み用凹部である配線溝11を形成し、さらに露出した拡散防止膜6部分をR I Eにより除去する。

【0046】

（第4工程）

前記ビアホール10および配線溝11を含む前記第2層の層間絶縁膜9上に所定の原料ガスを用いる熱CVDにより略同一組成の2層以上（例えば2層）の導電性バリア層を形成する。この工程において、第1層目の導電性バリア層を形成する熱CVDは、第2層目の導電性バリア層を形成する熱CVDより低い圧力の条件、つまり成膜が供給律速になる条件に設定する。このような条件の熱CVDにおいて、図8の（A）に示すように原料ガス21は例えば前記配線溝11から前記ポーラス膜7の連続気泡22に浸透する。この時、成膜が供給律速であるため、図8の（B）に示すように成膜開始から極めて短時間で前記配線溝11内面に露出する気泡22部分で原料ガス21の分解によるバリア材23の堆積が起こり、前記配線溝11内面に露出する気泡22の開口がバリア材23で塞がれる。このため、原料ガス21が前記連続気泡22の奥（前記配線溝11から離れた位置）に浸透するのを阻止される。その結果、バリア材23が前記配線溝11から前記ポーラス膜7の連続気泡22内部（例えばポーラス膜7表面と平行な方向の内部）に向けて堆積される領域を制限、例えば配線溝11内面から30nm以下の厚さに制限できる。したがって、図5に示すように前記ポーラス膜7の成分と前記導電性バリア層の成分とが混在し、厚さが制限された混在層15を配線溝11およびビアホール10の内面近傍の前記ポーラス膜7に形成できる。また、この混在層15は図8の（A），（B）の導電性バリア層の堆積挙動から、配線溝11およびビアホール10の内面近傍でバリア層の成分の濃度が高く、その内面

から離れる程、前記成分の濃度が低く、かつ前記内面に位置するポーラス膜7の連続気孔を実質的に前記成分で塞いだ形態を有する。ひきつづいて、半導体基板1を大気に曝すことなく、圧力の高い熱CVD、つまり反応律速でステップカバレッジが良好な熱CVDを実施することにより、同図5に示すように前記混在層15が内面近傍に形成された前記配線溝11およびビアホール10の内面を含む前記第2層の層間絶縁膜9上に導電性バリア層13を形成する。

【0047】

前記熱CVDでの原料ガスは、成膜する導電性バリア層の種類に応じて種々のガスが使用される。例えば、TiSiNからなる導電性バリア層を成膜する場合には、テトラキスジメチルアミノチタン (TDMAT)、テトラキスジエチルアミノチタン (TDEAT)、 $TiCl_4$ から選ばれる少なくとも1種のチタニウム化合物ガスと SiH_4 、 Si_2H_6 から選ばれる少なくとも1種のシリコン化合物ガスと NH_3 、 N_2 から選ばれる少なくとも1種の窒素含有ガスとの混合ガスが用いられる。Ta₂N₅からなる導電性バリア層を成膜する場合には、ペンタキスジメチルアミノタンタル (PDMAT)、テトラブチルイミドトリシジエチルアミドタンタル (TBTDET) から選ばれるタンタル化合物ガスと NH_3 、 N_2 から選ばれる少なくとも1種の窒素含有ガスとの混合ガスが用いられる。WNからなる導電性バリア層を成膜する場合には、 WF_6 などのタングステン化合物ガスと NH_3 、 N_2 から選ばれる少なくとも1種の窒素含有ガスとの混合ガスが用いられる。WSiNからなる導電性バリア層を成膜する場合には、 WF_6 などのタングステン化合物ガスと SiH_4 、 Si_2H_6 から選ばれる少なくとも1種のシリコン化合物ガスと NH_3 、 N_2 から選ばれる少なくとも1種の窒素含有ガスとの混合ガスが用いられる。TaAlNからなる導電性バリア層を成膜する場合には、PDMAT、TBTDETから選ばれるタンタル化合物ガスとトリメチルアルミニウム (TMA)、ジメチルアルミニウムハイドライド (DMAH) から選ばれるアルミニウム化合物ガスと NH_3 、 N_2 から選ばれる少なくとも1種の窒素含有ガスとの混合ガスが用いられる。また、前記熱CVDでは前記原料ガスのほかにAr、He、 N_2 のようなキャリアガスを用いることを許容する。

【0048】

前記第1層の導電性バリア層を形成する熱CVDは、300～370℃の温度、0.4～0.8 Torrの圧力の条件に設定され、第2層目以上の導電性バリア層を形成する熱CVDは300～370℃の温度、1.0 Torr以上の圧力の条件に設定されることが好ましい。前記第1層目の導電性バリア層を形成する熱CVDにおいて、圧力条件を0.4 Torr未満にするとバリア層の成膜速度が遅くなって、半導体装置の生産性が低下する虞がある。一方、前記第1層目の導電性バリア層を形成する熱CVDにおいて、圧力条件が0.8 Torrを超えると、供給律速条件でのバリア層の成膜が困難になり、導電性バリア層の成分の侵入をポーラス膜と導電性バリア層との界面近傍に制限し難くなる。また、前記第2層目以上の導電性バリア層を形成する熱CVDにおいて、圧力条件を1.0 Torr未満にすると高アスペクト比の埋め込み用凹部の内面にステップカバレージの良好な導電性バリア層を形成することが困難になる虞がある。

【0049】

(第5工程)

図6に示すように配線溝11およびビアホール10を含む前記第2層の層間絶縁膜9の前記導電性バリア層13上に配線材料膜16を形成する。

【0050】

次いで、前記ビアホール10および配線溝11を除く前記第2層の層間絶縁膜9上に位置する余剰の配線材料膜16および導電性バリア層13をCMPにより除去し、前記第2層の層間絶縁膜9に前記導電性バリア層13で包まれた第2層配線12を形成するとともに、前記導電性バリア層13で包まれ、ビアフィル14を通して前記第1層配線4と電気的に接続される第2層配線12を形成することにより図7に示す半導体装置を製造する。

【0051】

前記配線材料としては、例えば銅、アルミニウム、タングステン、またはこれら金属を含む合金を用いることができる。

【0052】

前記配線材料膜の形成は、例えばスパッタリング法によりシード層を全面に形成し、このシード層を共通電極としてめっきする方法が採用される。

【0053】

前記CMPにおいて、例えば第2層の層間絶縁膜9上に位置する余剰の配線材料を第1CMPで除去した後、前記第2層の層間絶縁膜9上に位置する余剰の前記導電性バリア層13を第2CMPで除去する。

【0054】

以上、本発明の第2実施形態によればポーラス膜7を有する第2層の層間絶縁膜9に埋め込み用凹部であるビアホール10および配線溝11を形成し、これらビアホール10および配線溝11の内面に熱CVDにより略同一組成の2層以上の導電性バリア層を形成する際、第1層目の導電性バリア層を形成する熱CVDを第2層目以上の導電性バリア層を形成する熱CVDより低い圧力の条件、つまり供給律速条件に設定することによって、図5に示すように前記ポーラス膜7の成分と前記導電性バリア層の成分とが混在し、かつ厚さが制限された混在層15を配線溝11およびビアホール10の内面近傍の前記ポーラス膜7に形成できる。その結果、ひきつづいて圧力の高い熱CVD、つまり反応律速でステップカバレージが良好な熱CVDを実施することにより、前記配線溝11およびビアホール10の内面を含む前記第2層の層間絶縁膜9上に前記混在層15を介して高い密着力で導電性バリア層13を形成することができる。

【0055】

特に、前記第1層目の導電性バリア層を形成する熱CVDを300～370℃の温度、0.4～0.8 Torrの圧力の条件に設定し、第2層目以上の導電性バリア層を形成する熱CVDを300～370℃の温度、1.0 Torr以上の圧力の条件に設定することによって、厚さが例えば30 nm以下に制限された混在層15を配線溝11およびビアホール10の内面近傍の前記ポーラス膜7に形成できるとともに、前記配線溝11およびビアホール10の内面を含む前記第2層の層間絶縁膜9上に前記混在層15を介して高い密着力で、かつ比較的均一な厚さの導電性バリア層13を形成することができる。

【0056】

このような導電性バリア層13の形成後に前記配線溝11およびビアホール10を含む前記第2層の層間絶縁膜9上に配線材料膜16を形成し、CMPにより

第2層の層間絶縁膜9上の余剰の配線材料膜16、さらに導電性バリア層13を除去することによって、前記配線溝11およびビアホール10内に密着性が良好な導電性バリア層13で包まれた第2層配線12、ビアフィル14を形成できる。

【0057】

また、厚さが制限された混在層15を配線溝11およびビアホール10の内面近傍の前記ポーラス膜7に形成できるため、このポーラス膜7を有する第2層の層間絶縁膜9に第2層配線12を形成することによって、第1実施形態で説明したように第2層配線12間でのリーク電流の発生を防止できる。

【0058】

したがって、低誘電率のポーラス膜7を有する第2層の層間絶縁膜9に第2層配線12を高い密着力で形成でき、かつ第2層配線12間での電流リークを防止できるため、高信頼性で安定した性能を有する半導体装置を製造することができる。

【0059】

(第3実施形態)

この第3実施形態は、前述した第2実施形態における半導体装置の製造工程(第4工程)において、第1層目の導電性バリア層の成膜の際に低圧力の熱CVDに代えて所定の原料ガスを用いるプラズマCVDを採用し、その後に熱CVDを実施して導電性バリア層を形成する。

【0060】

前記プラズマCVDでの原料ガスは、第2実施形態で説明した熱CVDの原料ガスと同様なものが用いられ、かつAr, HeN₂のようなキャリアガスが併用される。

【0061】

前記プラズマCVDは、例えば平行平板電極を内蔵した真空容器を備えたプラズマCVD装置で実施する場合、前記真空容器の真空度を1mTorr~15Torrに規定することが好ましい。

【0062】

前記熱CVDは、300～370℃の温度、1.0 Torr以上の圧力の条件に設定されることが好ましい。なお、これらのプラズマCVDおよび熱CVDにより形成された2層以上の導電性バリア層は第2実施形態と同様、略同一の組成であることが好ましいが、成膜法の相違に起因した多少の組成の変動が生じることがを許容する。

【0063】

以上、本発明の第3実施形態によればプラズマCVDは供給律速条件で成膜がなされるため、第2実施形態と同様にポーラス膜7の成分と前記導電性バリア層の成分とが混在し、厚さが制限された混在層15を配線溝11およびビアホール10の内面近傍の前記ポーラス膜7に形成できる。また、この混在層15は配線溝11およびビアホール10の内面近傍で導電性バリア層の成分の濃度が高く、その内面から離れる程、前記成分の濃度が低く、かつ前記内面に位置するポーラス膜7の連続気孔を実質的に前記成分で塞いだ形態を有する。

【0064】

このような第3実施形態は、第2実施形態と同様に前記配線溝11およびビアホール10の内面を含む前記第2層の層間絶縁膜9上に前記混在層15を介して高い密着力で導電性バリア層13を形成することができ、かつポーラス膜7を有する第2層の層間絶縁膜9に互いにリーク電流の発生が防止された複数の第2層配線12を形成することができる。

【0065】

したがって、低誘電率のポーラス膜7を有する第2層の層間絶縁膜9に高信頼性で安定した性能を有する第2層配線12が埋め込まれた半導体装置を製造することができる。

【0066】

なお、前述した第1実施形態～第3実施形態においては埋め込み配線が形成される絶縁膜を2層構造にしたが、3層以上の多層配線構造にしてもよい。

【0067】

また、前述した第1実施形態～第3実施形態においてはポーラス膜と絶縁性保護膜との積層構造を持つ絶縁膜は第2層目に採用したが、これに限定されない。

例えば、第 1 層目の絶縁膜、または第 3 層目異常の絶縁膜に採用してもよい。前記積層構造を持つ絶縁膜は、1 つの層の絶縁膜への適用に限らず、2 つ以上の層に適用してもよい。

【 0 0 6 8 】

さらに、前述した第 2 実施形態～第 3 実施形態においては導電性バリア層の形成に際し、供給律速条件での成膜処理にひきつづく成膜処理として熱 CVD を採用したが、この熱 CVD に代えて原子層堆積 (ALD ; Atomic layer Deposition) を採用してもよい。

【 0 0 6 9 】

【実施例】

以下、本発明の実施例を前述した図 2 ～図 7 を参照して説明する。

【 0 0 7 0 】

(実施例 1)

まず、図 2 に示すように図示しない素子などが形成された半導体基板 (半導体ウェハ) 1 上に厚さ 300 nm のシリコン酸化膜からなる第 1 層の層間絶縁膜 3 を成膜した。この第 1 層の層間絶縁膜 3 にレジストパターンを形成し、レジストパターンをマスクとして第 1 層の層間絶縁膜 3 をリアクティブイオンエッチング (RIE) により選択的に除去することによって、前記半導体基板 1 表面に達するビアホール (図示せず) を形成した。つづいて、別のマスクパターンおよび RIE 法により所定のビアホールが位置する第 1 層の層間絶縁膜 3 部分およびこれ以外の第 1 層の層間絶縁膜 3 に配線溝 2 を形成した。ひきつづき、前記ビアホールおよび配線溝 2 を含む前記第 1 層の層間絶縁膜 3 上に CVD 法により厚さ 5 nm の TiSiN からなる導電性バリア層 5 を形成した。この後、スパッタリング法により厚さ 100 nm の銅シード層 (図示せず) を形成した。さらに、この銅シード層を共通電極として銅めっき処理を施して前記ビアホールおよび配線溝 2 を含む前記銅シード層上に銅膜を形成した。

【 0 0 7 1 】

次いで、前記ビアホールおよび配線溝 2 を除く前記第 1 層の層間絶縁膜 3 上に位置する余剰の銅膜および導電性バリア層 5 を化学機械研磨 (CMP) により除

去し、前記第1層の層間絶縁膜3に導電性バリア層5で包まれた第1層配線4と導電性バリア層5で包まれ、ビアフィル（図示せず）を通して前記半導体基板1の素子などと電氣的に接続される第1層配線（図示せず）を形成した。このCMPにおいて、第1層の層間絶縁膜3上に位置する余剰の銅膜を銅用CMPで除去した後、前記第1層の層間絶縁膜3上に位置する余剰の導電性バリア層5をバリア用CMPで除去した。

【0072】

次いで、図3に示すように前記第1層配線4が埋め込まれた第1層の層間絶縁膜3上にCVD法により厚さ100nmのSiCからなる拡散防止膜6を形成した。つづいて、この拡散防止膜6上に塗布法により厚さ400nmのポラスPAE膜（ポラス膜）7を成膜した後、厚さ200nmの有機シロキサンからなる絶縁性保護膜8を成膜して総厚さ600nm第2層の層間絶縁膜9を形成した。

【0073】

次いで、図4に示すように前記ポラス膜7と絶縁性保護膜8の積層構造を有する第2層の層間絶縁膜9にレジストパターンを形成し、このレジストパターンをマスクとして前記第2層の層間絶縁膜9をRIEにより選択的に除去することによって、前記拡散防止膜6に達するビアホール10を形成した。つづいて、別のマスクパターンおよびRIEにより所定のビアホール10が位置する第2層の層間絶縁膜9部分およびこれ以外の第2層の層間絶縁膜9に幅150nm、深さ300nmの配線溝11を150nmのスペースで形成し、さらにビアホール底部に露出した拡散防止膜6部分をRIEにより除去した。これらの配線溝11は、その幅（W）に対する深さ（D）のアスペクト比（D/W）が2であった。

【0074】

次いで、前記半導体基板1を外部にヒータを有する真空容器（図示せず）内に設置した。原料ガスであるTOMAT/SiH₄/N₂およびキャリアガスであるアルゴンをそれぞれ前記真空容器内に供給し、真空容器内のガスを排気して原料ガスの分圧を0.5 Torrにし、かつ成膜温度を330℃に設定した。つまり、熱CVDを供給律速条件に設定した。この時、前記ビアホール10および配線

溝 1 1 を含む前記第 2 層の層間絶縁膜 9 に T i S i N からなる厚さ 5 n m (絶縁性保護膜 8 上での厚さ) の第 1 導電性バリア層が形成された。この熱 C V D 後において、例えば前記配線溝 1 1 近傍のポーラス膜 7 をその配線溝 1 1 からポーラス膜 7 の面方向に E D X - 深さプロファイル分析を行った。その結果を図 9 に示す。この図 9 から T i はポーラス膜 7 中に 3 0 n m 以下までしか浸透せず、かつ T i S i N により前記配線溝 1 1 に露出したポーラス膜 7 の気孔が塞がれていることがわかった。このように配線溝 1 1 近傍のポーラス膜 7 に形成された混在層 1 5 は、T i , S i , N , C および O により構成されていた。つづいて、第 1 導電性バリア層の形成後、同一真空容器にて原料ガスの分圧を 1 . 0 T o r r 、成膜温度を 3 3 0 ℃ に設定した。つまり、熱 C V D を反応律速条件に設定した。この時、前記ビアホール 1 0 および配線溝 1 1 内を含む前記第 2 層の層間絶縁膜 9 に T i S i N からなる厚さ 5 n m (絶縁性保護膜 8 上での厚さ) の第 2 導電性バリア層が形成された。このような工程により、図 5 に示すように厚さ 3 0 n m 以下の混在層 1 5 が内面近傍に形成された前記配線溝 1 1 およびビアホール 1 0 を含む前記第 2 層の層間絶縁膜 9 上に厚さ 5 ~ 1 0 n m の T i S i N からなる導電性バリア層 1 3 が形成された。

【 0 0 7 5 】

次いで、図 6 に示すように前記熱 C V D 後に大気暴露することなく、配線溝 1 1 およびビアホール 1 0 を含む前記第 2 層の層間絶縁膜 9 の前記導電性バリア層 1 3 上にスパッタリングにより厚さ 1 0 0 n m の銅シード層 (図示せず) を成膜した。さらに、この銅シード層を共通電極として銅めっき処理を施して前記ビアホール 1 0 および配線溝 1 1 を含む前記銅シード層上に銅膜 1 6 を形成した。

【 0 0 7 6 】

次いで、前記ビアホール 1 0 および配線溝 1 1 を除く前記第 2 層の層間絶縁膜 9 上に位置する余剰の銅膜 1 6 および導電性バリア層 1 3 を C M P により除去し、前記第 2 層の層間絶縁膜 9 に前記導電性バリア層 1 3 で包まれた第 2 層配線 1 2 を形成するとともに、前記導電性バリア層 1 3 で包まれ、ビアフィル 1 4 を通して前記第 1 層配線 4 と電気的に接続される第 2 層配線 1 2 を形成することにより図 7 に示す多層配線構造を有する複数の半導体装置 (半導体チップ) を前記半

導体ウェハに製造した。このCMPにおいて、第2層の層間絶縁膜9上に位置する余剰の銅膜を銅用CMPで除去した後、前記第2層の層間絶縁膜9上に位置する余剰の前記導電性バリア層13をバリア用CMPで除去した。

【0077】

(比較例1)

ビアホールおよび配線溝が形成されたポーラス膜を有する第2層の層間絶縁膜に原料ガスの分圧を1.0 Torr、成膜温度を330℃に設定した熱CVD、つまり反応律速条件の熱CVDのみで導電性バリア層を形成した以外、実施例1と同様な方法により複数の半導体装置(半導体チップ)を前記半導体ウェハに製造した。

【0078】

得られた実施例1および比較例1の20個の半導体チップについて、第2層配線に電圧を徐々に高めながら供給した時の配線間のリーク電流を測定した。その結果を、図10、図11に示す。

【0079】

図10から明らかなように実施例1では、20個の半導体チップ全てにおいて電圧の増加に伴って緩やかにリーク電流が増大するに留まり、第2層配線間のリーク電流の発生を抑制ないし防止できることがわかる。

【0080】

これに対し、図11に示す比較例1では20個の半導体チップの大部分で第2層配線への低電圧の供給時に大きなリーク電流が発生することがわかる。このようリーク電流の発生は次のような挙動によるものである。

【0081】

すなわち、比較例1では原料ガスの圧力を1.0 Torr、温度を330℃に設定した熱CVD、つまり『反応律速条件』の熱CVDにより導電性バリア層を配線溝およびビアホールを含むポーラス膜を有する第2層の層間絶縁膜に成膜する。この反応律速条件の熱CVDにおいては、成膜開始から極めて短時間で配線溝内面に露出する気泡の開口が原料ガスの分解によるバリア材で塞がれることがない。このため、前記熱CVDに用いる原料ガスは前記配線溝内面からポーラス

膜の連続気泡の膜厚方向、膜面方向に深く浸透し、熱分解されて導電性を有するバリア材として残留する。このバリア材の残留深さ（特にポーラス膜の面方向の残留深さ）は、30 nmを優に超える。その結果、このポーラス膜を有する第2層の層間絶縁膜に第2層配線を形成すると、これら第2層配線間に位置するポーラス膜に前記バリア材が残留するために、第2層配線への低電圧の供給で配線間にリーク電流を発生する。

【0082】

（実施例2）

ビアホールおよび配線溝が形成されたポーラス膜を有する第2層の層間絶縁膜に以下に説明する方法で導電性バリア層を形成した以外、実施例1と同様な方法により複数の半導体装置（半導体チップ）を前記半導体ウェハに製造した。

【0083】

前記半導体基板1を真空容器内の平行平板電極のうちの接地された下部電極上に設置した。原料ガスであるTOMAT/SiH₄/N₂およびキャリアガスであるアルゴンをそれぞれ前記真空容器内に供給し、真空容器内のガスを排気して5 Torrに設定した後、13.56 MHzの高周波電源から上部電極に出力1 kWの電力を印加して前記平行平板電極間にプラズマを発生させた。このような供給律速条件でのプラズマCVDにより前記ビアホールおよび配線溝を含む前記第2層の層間絶縁膜にTiSiNからなる厚さ5 nmの第1導電性バリア層を形成した。この時、前述した図9と同様、Tiはポーラス膜中に30 nm以下までしか浸透せず、かつTiSiNにより前記配線溝に露出したポーラス膜の気孔を塞ぐことができた。つづいて、半導体ウェハを大気に曝さずに外部にヒータを有する真空容器（図示せず）内に設置した。原料ガスであるTOMAT/SiH₄/N₂およびキャリアガスであるアルゴンをそれぞれ前記真空容器内に供給し、真空容器内のガスを排気して原料ガスの分圧を1.0 Torr、成膜温度を330℃に設定した。つまり、熱CVDを反応律速条件に設定した。この時、前記ビアホールおよび配線溝を含む前記第2層の層間絶縁膜にTiSiNからなる厚さ5 nmの第2導電性バリア層が形成された。このような工程により、図5に示すように厚さ30 nm以下の混在層15が内面近傍に形成された前記配線溝11および

ビアホール 1 0 を含む前記第 2 層の層間絶縁膜 9 上に厚さ 5 ~ 1 0 n m の T i S i N からなる導電性バリア層 1 3 が形成された。

【 0 0 8 4 】

得られた実施例 2 の 2 0 個の半導体チップについて、実施例 1 と同様に第 2 層配線に電圧を徐々に高めながら供給した時の配線間のリーク電流を測定した。その結果を、前述した図 1 0 と同様、2 0 個の半導体チップ全てにおいて電圧の増加に伴って緩やかにリーク電流が増大するに留まり、第 2 層配線間のリーク電流の発生を抑制ないし防止できることがわかった。

【 0 0 8 5 】

【発明の効果】

以上説明したように本発明によれば低誘電率のポーラス膜に配線を高い密着力で形成でき、かつこれらの配線間での電流リークを防止でき、高信頼性で安定した性能を有する半導体装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態に係る半導体装置を示す断面図。

【図 2】 本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図

【図 3】 本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図

【図 4】 本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図

【図 5】 本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図

【図 6】 本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図

【図 7】 本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図

【図 8】 本発明の第 2 実施形態における供給律速条件の熱 C V D で導電性バリア層を形成する時の配線溝近傍のポーラス膜の状態を模式的に示す断面図。

【図 9】 本発明の実施例 1 における前記配線溝近傍のポーラス膜の E D X
- 深さプロファイル図。

【図 1 0】 本発明の実施例 1 で得られた半導体チップにおける第 2 層配線
への電圧とその配線間のリーク電流との関係を示す図。

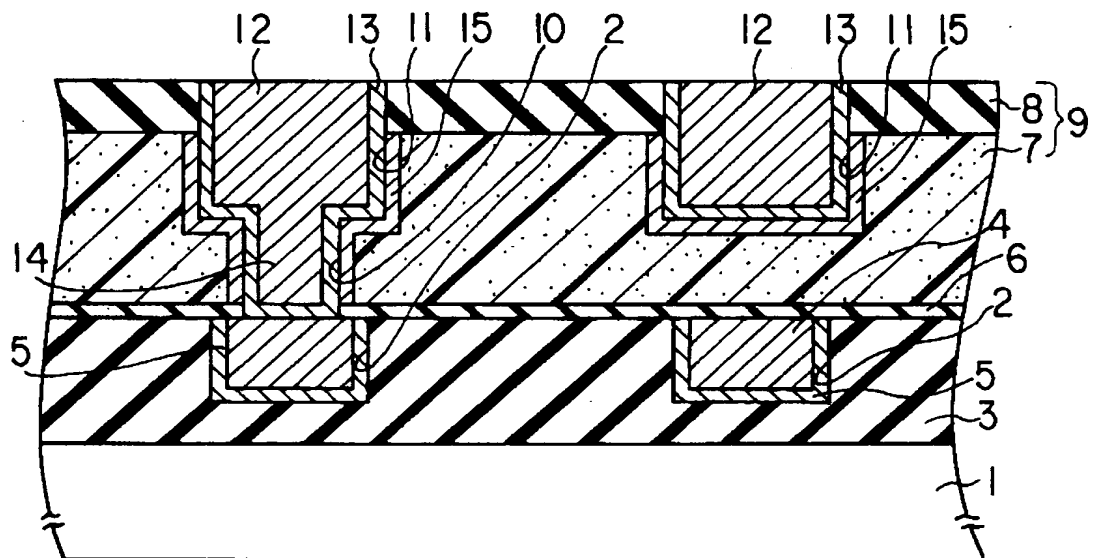
【図 1 1】 比較例 1 で得られた半導体チップにおける第 2 層配線への電圧
とその配線間のリーク電流との関係を示す図。

【符号の説明】

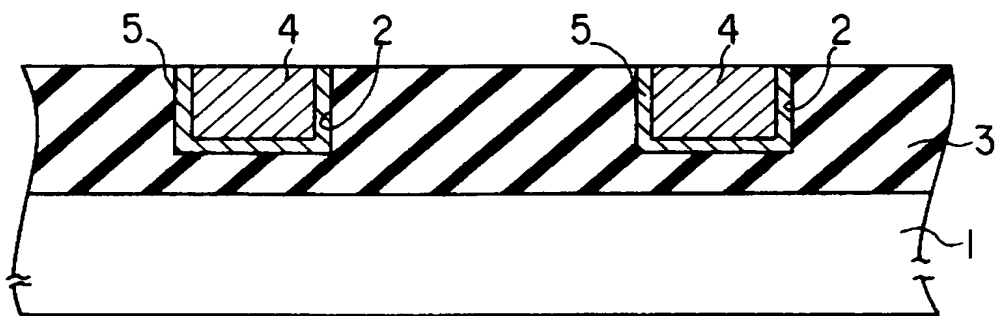
1 … 半導体基板（半導体ウェハ）、 3 … 第 1 層の層間絶縁膜、 4 … 第 1 層配線
、 7 … ポーラス膜、 9 … 第 2 層の層間絶縁膜、 1 0 … ビアホール、 1 1 … 配線溝
、 1 2 … 第 2 層配線、 1 3 … 導電性バリア層、 1 4 … ビアフィル、 1 5 … 混在層
、 2 1 … 原料ガス、 2 2 … 連続気泡、 2 3 … バリア材。

【書類名】 図面

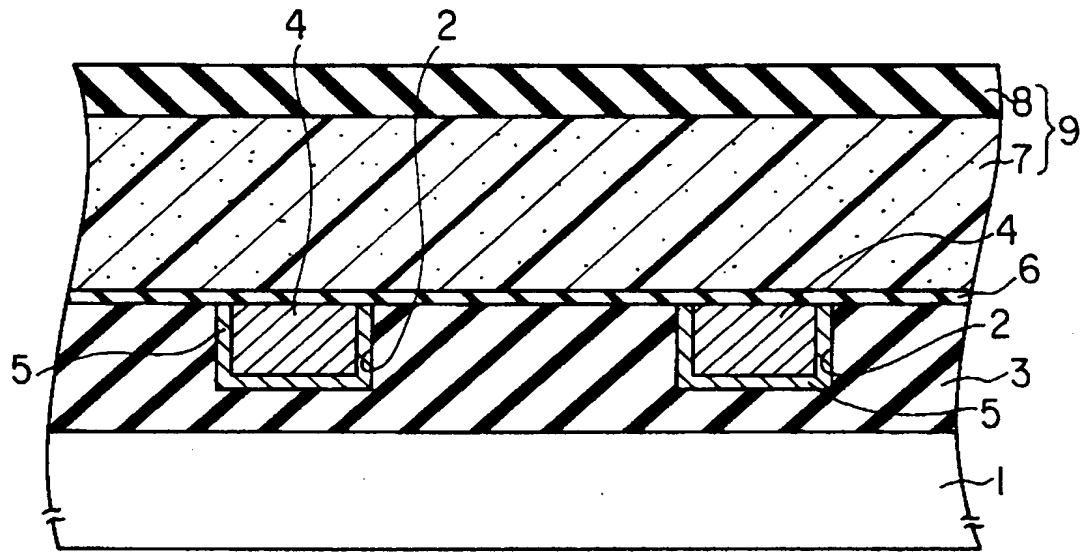
【図 1】



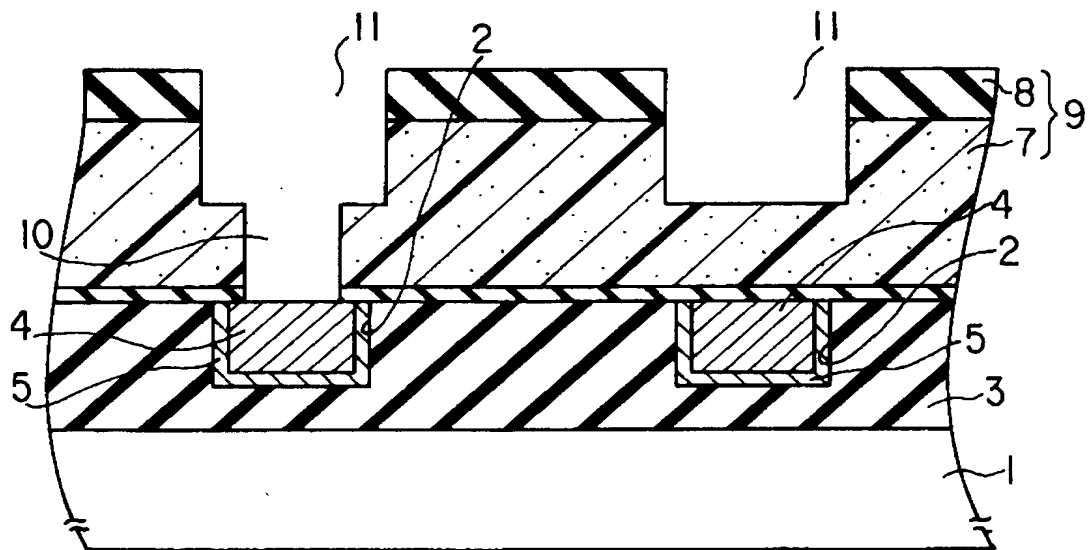
【図 2】



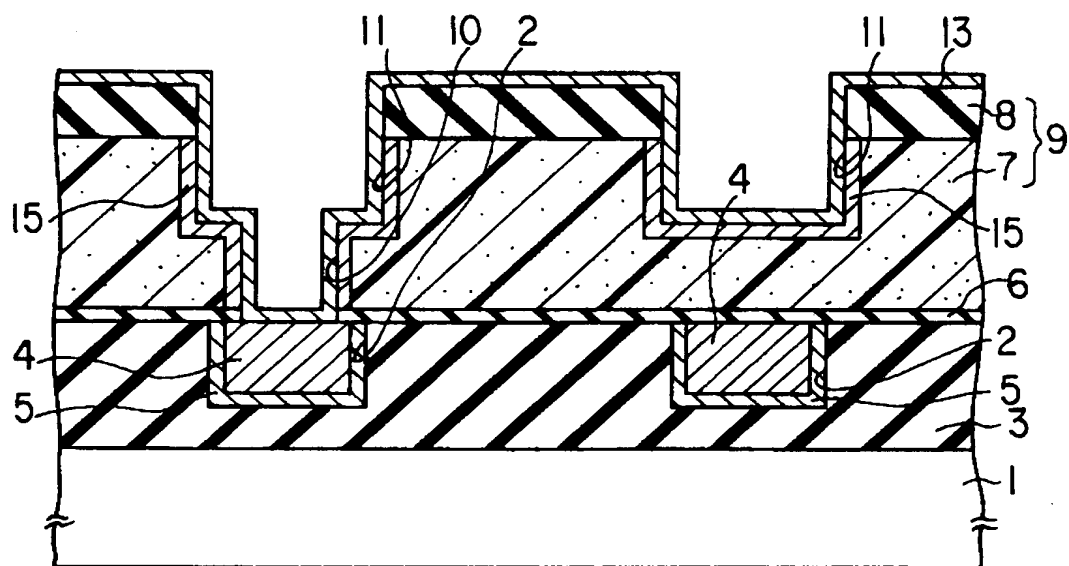
【図 3】



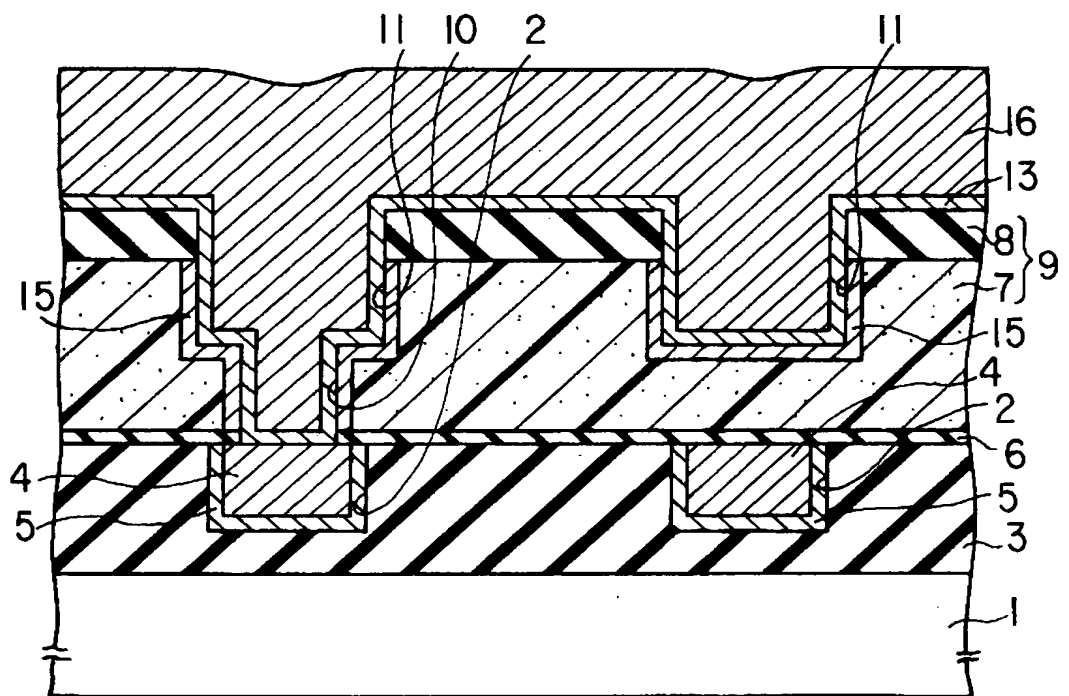
【図 4】



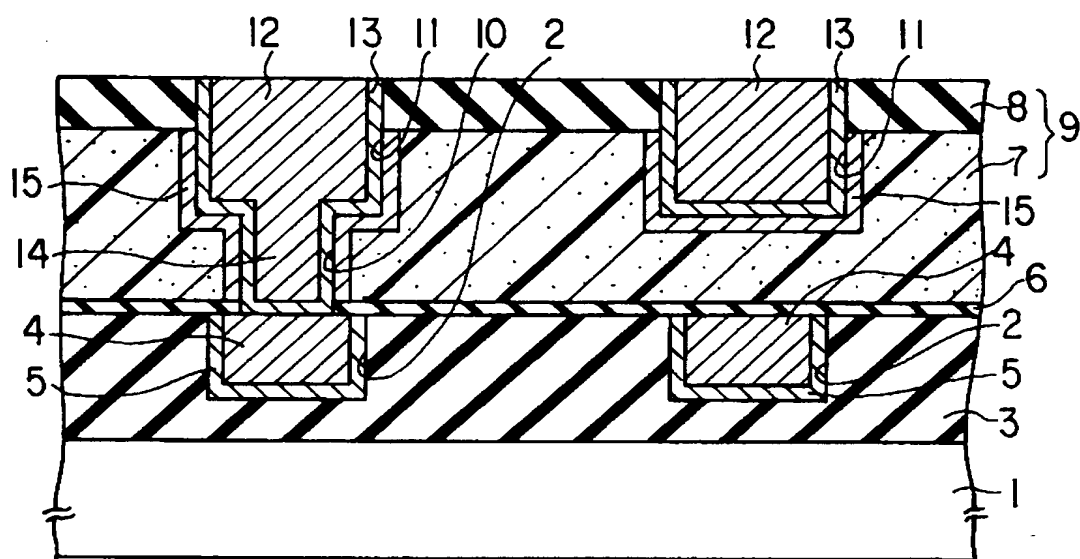
【図 5】



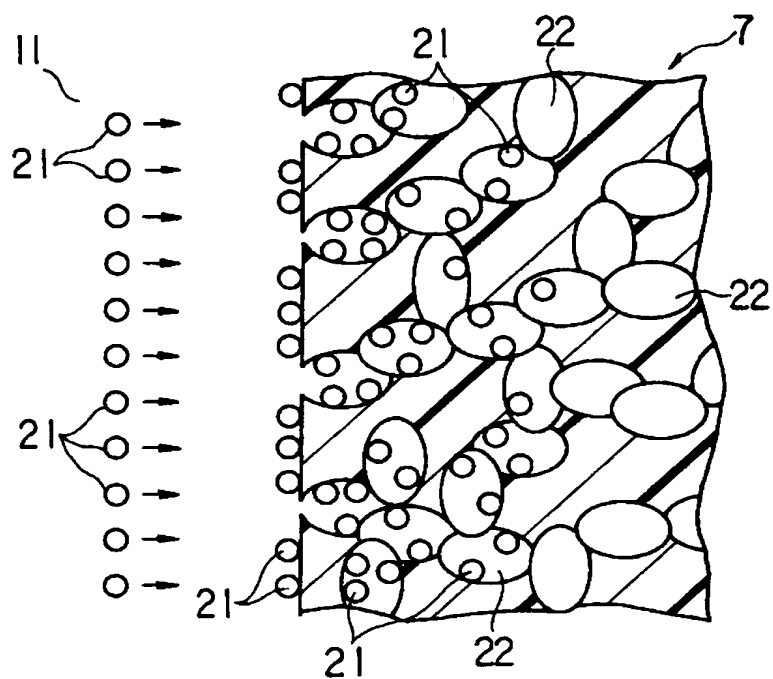
【図 6】



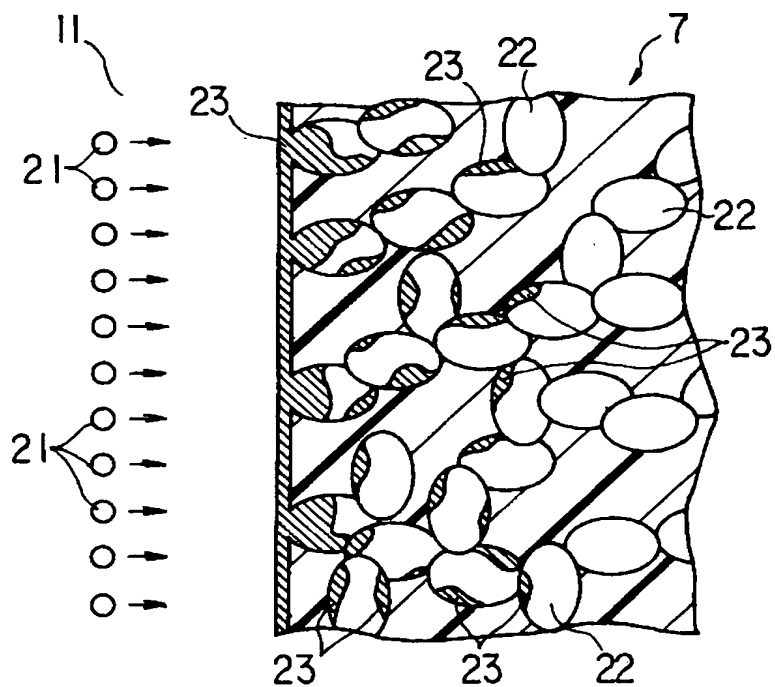
【図 7】



【図 8】

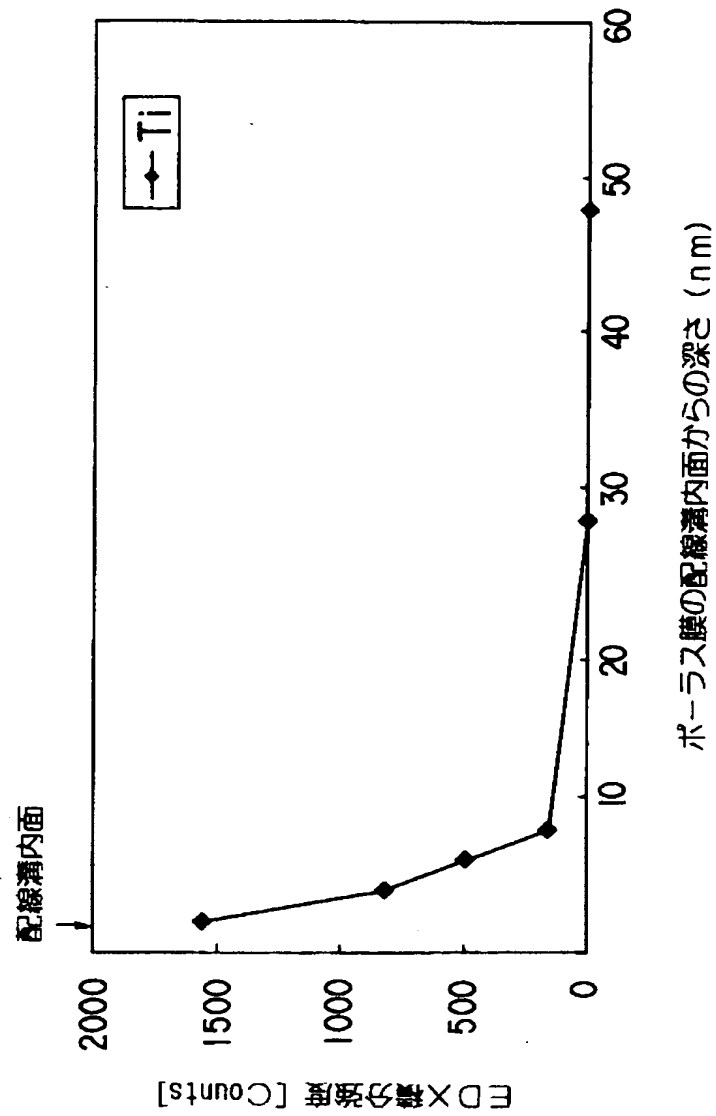


(A)

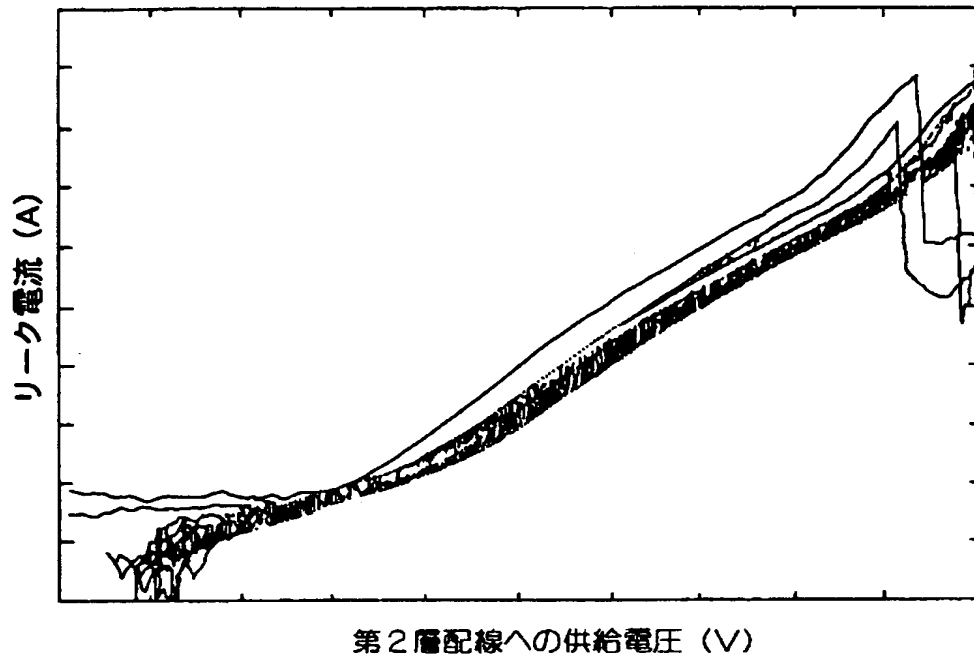


(B)

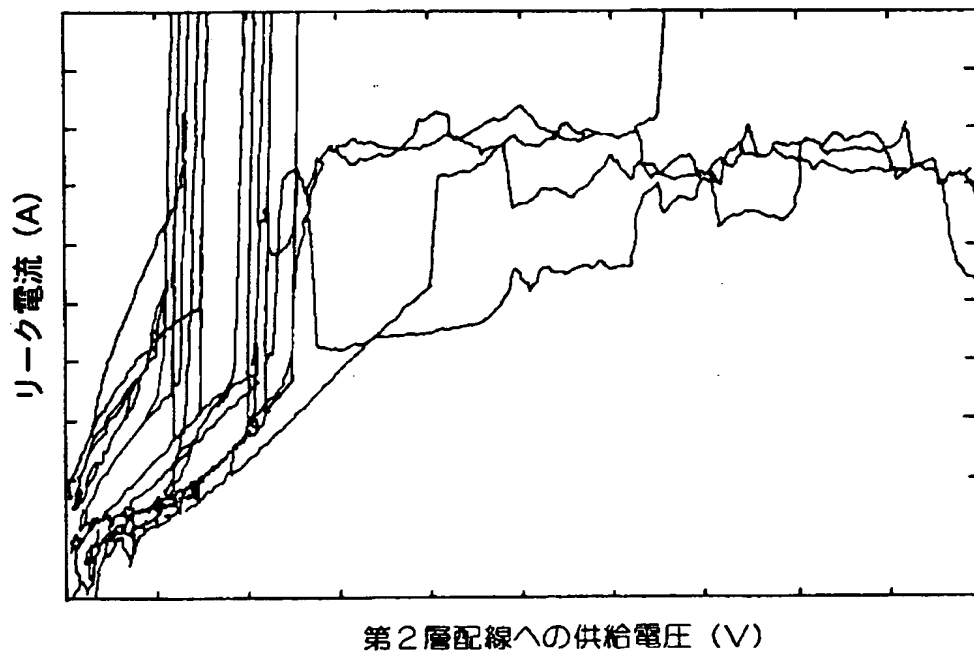
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 ポーラス膜における埋め込み用凹部に導電性バリア層を介して埋め込み配線を形成した構造を有し、前記導電性バリア層が前記埋め込み用凹部内面に前記ポーラス膜の物性変化を抑制しつつ、目的とする厚さで良好に密着して形成された半導体装置を提供する。

【解決手段】 半導体基板上に形成されたポーラス膜における溝および孔から選ばれる少なくとも1つの埋め込み用凹部の内面に導電性バリア層を形成し、かつこの導電性バリア層を介して前記埋め込み用凹部に導電部材を埋め込んだ構造を有する半導体装置であって、

前記ポーラス膜の成分と前記導電性バリア層の成分とが混在する混在層が、前記ポーラス膜と前記導電性バリア層の間に形成されたことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2003年 5月 9日
[変更理由]	名称変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝